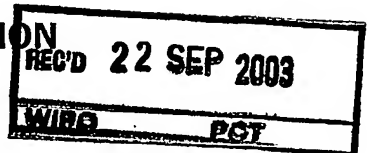


04.09.03
22 SEP 2003

IB03/03899

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION



COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 11 AVR. 2003

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

Martine PLANCHE

DOCUMENT DE PRIORITÉ
PRÉSENTÉ OU TRANSMIS
CONFORMÉMENT À LA
RÈGLE 17.1.a) OU b)

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

SIEGE
26 bis, rue de Saint Petersburg
75800 PARIS cedex 08
Téléphone : 33 (0)1 53 04 53 04
Télécopie : 33 (0)1 53 04 45 23
www.inpi.fr



26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

BREVET D'INVENTION
CERTIFICAT D'UTILITÉ
Code de la propriété intellectuelle - Livre VI



REQUÊTE EN DÉLIVRANCE 1/2

Cet imprimé est à remplir lisiblement à l'encre noire

08 540 W / 260899

REMISE DES PIÈCES DATE 11 SEPT 2002 LIEU 75 INPI PARIS N° D'ENREGISTREMENT 0211243 NATIONAL ATTRIBUÉ PAR L'INPI DATE DE DÉPÔT ATTRIBUÉE PAR L'INPI 11 SEP. 2002		RESERVÉ À L'INPI		NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE Laure van Oudheusden Société Civile SPID 156 boulevard Haussmann 75008 PARIS	
Vos références pour ce dossier (facultatif) PHFR020094					
Confirmation d'un dépôt par télécopie <input type="checkbox"/> N° attribué par l'INPI à la télécopie					
2 NATURE DE LA DEMANDE			Cochez l'une des 4 cases suivantes		
Demande de brevet			<input checked="" type="checkbox"/>		
Demande de certificat d'utilité			<input type="checkbox"/>		
Demande divisionnaire			<input type="checkbox"/>		
Demande de brevet initiale			N° _____ Date ____/____/____		
ou demande de certificat d'utilité initiale			N° _____ Date ____/____/____		
Transformation d'une demande de brevet européen			<input type="checkbox"/>		
Demande de brevet initiale			N° _____ Date ____/____/____		
3 TITRE DE L'INVENTION (200 caractères ou espaces maximum) Dispositif de test d'un circuit intégré comportant un PCB mince à excroissances.					
4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE			Pays ou organisation _____ N° _____ Date ____/____/____ Pays ou organisation _____ N° _____ Date ____/____/____ Pays ou organisation _____ N° _____ <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé «Suite»		
5 DEMANDEUR			<input type="checkbox"/> S'il y a d'autres demandeurs, cochez la case et utilisez l'imprimé «Suite»		
Nom ou dénomination sociale			Koninklijke Philips Electronics N.V.		
Prénoms					
Forme juridique			Société de droit néerlandais		
N° SIREN				
Code APE-NAF				
Adresse		Rue	Groenewoudseweg 1		
		Code postal et ville	5621	BA Eindhoven	
Pays			Pays-Bas		
Nationalité					
N° de téléphone (facultatif)					
N° de télécopie (facultatif)					
Adresse électronique (facultatif)					

REMISE DES PIÈCES DATE 11 SEPT 2002 LIEU 75 INPI PARIS N° D'ENREGISTREMENT NATIONAL ATTRIBUÉ PAR L'INPI 0211243		Réservé à l'INPI		DB 540 W / 260899	
Vos références pour ce dossier : (facultatif)			PHFR020094		
<input checked="" type="checkbox"/> MANDATAIRE					
Nom			van Oudheusden		
Prénom			Laure		
Cabinet ou Société			Société Civile SPID		
N° de pouvoir permanent et/ou de lien contractuel			pouvoir général n° 7036 délégation de pouvoir n° 10473		
Adresse	Rue		156 boulevard Haussmann		
	Code postal et ville		75008	PARIS	
N° de téléphone (facultatif)			01 40 76 80 00		
N° de télécopie (facultatif)			01 45 61 05 36		
Adresse électronique (facultatif)					
<input checked="" type="checkbox"/> INVENTEUR (S)					
Les inventeurs sont les demandeurs			<input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non Dans ce cas fournir une désignation d'inventeur(s) séparée		
<input checked="" type="checkbox"/> RAPPORT DE RECHERCHE			Uniquement pour une demande de brevet (y compris division et transformation)		
Établissement immédiat ou établissement différé			<input checked="" type="checkbox"/> <input type="checkbox"/>		
Paiement échelonné de la redevance			Paiement en trois versements, uniquement pour les personnes physiques <input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non		
<input checked="" type="checkbox"/> RÉDUCTION DU TAUX DES REDEVANCES			Uniquement pour les personnes physiques <input type="checkbox"/> Requête pour la première fois pour cette invention (joindre un avis de non-imposition) <input type="checkbox"/> Requête antérieurement à ce dépôt (joindre une copie de la décision d'admission pour cette invention ou indiquer sa référence) :		
Si vous avez utilisé l'imprimé «Suite», indiquez le nombre de pages jointes					
<input checked="" type="checkbox"/> SIGNATURE DU DEMANDEUR OU DU MANDATAIRE (Nom et qualité du signataire) Laure van Oudheusden Mandataire SPID 422-5 / S008			VISA DE LA PRÉFECTURE OU DE L'INPI		

La loi n°78-17 du 6 janvier 1978 relative à l'informatique, aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire.
Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

DESCRIPTION

Domaine de l'invention

L'invention concerne le domaine des circuits intégrés. Plus particulièrement, elle concerne un dispositif et une méthode de test pour tester un circuit intégré, dit circuit à tester, destiné à être testé dans un circuit imprimé, dit circuit principal.

5 Elle a pour but s'assurer le contact entre le "board" de test (Circuit Imprimé) et le composant à tester proprement dit. De plus, cette invention permet de tester plusieurs types de boîtiers (encapsulant le même circuit intégré ou de la même famille) à l'aide du même "board" de test ou maquette laboratoire, dit circuit imprimé principal, (ce dernier étant conçu initialement pour un seul type de boîtier.

10 L'invention s'applique à tous types de test de circuits intégrés, notamment le test en production (gros volume), le test en laboratoire ou encore le test de Fiabilité/Qualité dit de "Burn-in".

Elle est particulièrement avantageuse pour le test de circuits intégrés fonctionnant à des fréquences élevées, de l'ordre de 2 Giga Hertz par exemple, notamment du type amplificateurs de puissance pour téléphone portable cellulaire, circuits de Radiofréquence pour téléphone portable cellulaire, circuits pour application vidéo (TV et décodeur satellite) ainsi que tous les circuits
15 intégrés véhiculant des signaux Haute Fréquence /RadioFréquence (HF/RF).

Arrière plan technologique de l'invention

20 Il existe de nombreux types de dispositifs de test, souvent appelés sockets de test, du type de celui mentionné dans le préambule, qui sont utilisés en production pour protéger le circuit principal ou "board" de test et éviter son usure prématurée lors du passage répété des pièces à tester. Ces dispositifs ou socket de test ont une certaine épaisseur et une certaine longueur de contact (contact à micro pointes ou pogos, contact Johnstech en forme de S, élastomère, etc.) qui
25 rendent difficile voire impossible le test de circuits fonctionnant à haute fréquence. De plus, ils sont souvent très onéreux. En effet, les circuits hautes fréquences comme par exemple les amplificateurs de puissance ne tolèrent en général aucune longueur de contact supplémentaire car ils sont très sensibles à l'inductance induite par le dispositif de test lui-même.

Les types de circuits intégrés sont généralement testés avec la technique dite du « True
30 Plunge To "board" » (TPTB), selon laquelle le circuit à tester est directement inséré sur le "board" de test (circuit principal), sans aucun dispositif supplémentaire. Dans le cas particulier des boîtiers de type HVQFN (de l'anglais Heatsink Very thin Quad Flat package No leads) qui sont des boîtiers dépourvus de broches ou pattes mais ayant seulement des plages de contact planes dits "pads", cette technique du TPTB nécessite des forces d'appui très importantes, de l'ordre de 120 Newton
35 au minimum, pour obtenir un contact électrique suffisant. Après un certains nombres de pièces passées sur un même "board" de test en TPTB, par exemple de l'ordre de 200 mille pièces, soit

une semaine de production pour un circuit à forts volumes, le "board" s'use jusqu'à devenir inutilisable car l'endroit de contact avec le circuit à tester est complètement détruit par le fait du martelage du passage des pièces. Il est alors nécessaire de fabriquer un nouveau "board" de test, ce qui est long à mettre au point et coûteux.

Un but de l'invention est de remédier à cet inconvénient.

Résumé de l'invention

Ce but est atteint avec un dispositif de test comportant une membrane isolante en matériau élastique munie de deux faces opposées recouvertes de deux couches de pistes conductrices reliées entre elles par des moyens de connexion, dans lequel des excroissances sont disposées sur au moins l'une desdites couches selon un motif prédéfini en fonction de la position des contacts (broches, pads, boules, etc.) du circuit intégré à tester, de manière à assurer une qualité de contact entre ladite couche et le circuit (le circuit à tester ou le circuit principal) en contact avec ladite couche.

L'élasticité ou souplesse de la membrane permet d'obtenir un bon contact en absorbant les différences de planéité entre le circuit à tester et le circuit principal, les performances du dispositif étant d'autant plus intéressantes que l'épaisseur de la membrane est faible. Les excroissances permettent d'améliorer la qualité de la connexion en augmentant le degré de friction entre les parties à contacter. Les deux couches conductrices connectées entre elles de part et d'autre de la membrane constituent un système permettant de réduire la longueur des contacts du dispositif.

L'invention propose également une méthode de test comportant la livraison d'un circuit intégré dans un boîtier donné parmi un set de boîtiers de types différents (par exemple de type HVQFN, HVSON de l'anglais Heatsink Very thin Small Outline package no leads, LQFP de l'anglais Low Quad Flat Package à 32 ou 64 broches, etc.), le circuit intégré étant destiné à être testé successivement dans plusieurs types de boîtiers dudit set à l'aide d'un seul "board" de test ou circuit principal, et la livraison d'un set de dispositifs ou sockets de test associés adaptés aux différents types de boîtiers à tester sur le même "board" de test.

Avantageusement, cette méthode permet d'éviter de re-développer un nouveau "board" de test pour échantillonner le circuit à tester à chaque nouveau boîtier, ce qui représente une économie substantielle en temps et en ressources matérielles notamment pour les circuits fonctionnant à hautes fréquences. Le même "board" de test peut alors être ré-utilisé avec un dispositif de test différent (ou socket de test ou encore « contact PCB mince à excroissances ») dont une face (couche conductrice) est adaptée au circuit principal et l'autre au type de boîtier considéré.

Brève description des dessins

D'autres détails et avantages de l'invention apparaîtront dans la description qui va suivre, faite en regard des figures annexées données à titre d'exemples non-limitatifs dans lesquelles :

- la figure 1 est une représentation schématique, dite « outline », d'un exemple de dispositif selon l'invention,
- la figure 2 est une représentation schématique vue en coupe d'un détail d'un exemple de dispositif selon un premier mode de réalisation de l'invention,
- 5 - la figure 3 est une représentation schématique vue en coupe d'un détail d'un exemple de dispositif selon un deuxième mode de réalisation de l'invention,
- la figure 4 est une représentation schématique vue de dessus du détail illustré à la figure 3,
- la figure 5 est une représentation schématique vue en coupe du détail illustré à la figure 3 pendant une opération de test,
- 10 - la figure 6 est une représentation schématique vue de dessus d'une partie du dispositif selon le deuxième mode de réalisation de l'invention.

Description de modes de réalisation de l'invention

La production de circuits intégrés à bas prix nécessite des volumes de ventes importants pour être rentable. La méthode de test avant livraison doit être industrielle et automatique pour
15 permettre des cadences élevées. Les circuits intégrés sont testés en établissant des contacts sur leurs bornes, broches, pattes, plages ou boules, etc., l'appellation variant en fonction du type de boîtier, ci-après dénommées de façon générale contacts.

La figure 1 représente un dispositif de test selon l'invention pour servir d'interface entre un
20 circuit intégré à tester et un circuit ou "board" de test, aussi appelé "loadboard", dit circuit principal, à l'aide duquel le circuit intégré doit être testé. La plupart des caractéristiques de l'invention ne sont pas visibles sur la figure 1 mais le sont sur les autres figures. Le circuit à tester (non représentés sur la figure 1) comporte une pluralité de boîtiers destinés à être testés à l'aide du bord de test ou circuit imprimé principal (non représenté sur la figure 1). Le dispositif
25 comporte une membrane isolante 1 réalisée dans un matériau présentant une certaine souplesse et munie de deux faces opposées 2 dont une seule est visible sur la figure 1, recouvertes de deux couches conductrices 3 dont une seule correspondant à la face visible est visible sur la figure 1, reliées entre elles par des moyens de connexion comme par exemple des trous métallisés ou vias (non visibles sur la figure 1) et destinées à entrer en contact avec le circuit à tester et le circuit
30 principal, respectivement, grâce à une déformation du dispositif de test obtenue sous l'action d'une pression exercée pendant le test entre le circuit à tester et le circuit principal. Des excroissances (non visibles sur la figure 1) sont disposées sur au moins l'une des deux couches selon un motif prédéfini en fonction de la disposition des contacts (broches, pattes, plages, boules, etc.) du circuit à tester, de manière à assurer une qualité de contact suffisante entre la couche conductrice
35 supportant l'excroissance et le circuit (il peut s'agir soit du circuit à tester soit du circuit principal) en contact avec ladite couche, sous l'action de pression.

Le dispositif/socket de test représenté à la figure 1 est un circuit imprimé, dit PCB (de l'anglais Printed Circuit board), de préférence mince, c'est-à-dire dont l'épaisseur totale ne dépasse

pas 400 micromètres, muni d'excroissances servant à assurer un bon contact entre le "board" de test ou circuit principal et le circuit à tester. Le dispositif joue un rôle d'intercalaire positionné entre le circuit imprimé principal ("board" de test industriel ou maquette de laboratoire) et le composant (circuit à tester) qui doit être soumis à la séquence de test. Le composant est généralement

- 5 --- encapsulé dans un boîtier pour pouvoir être manipulé plus facilement sans endommager le cristal - qui se trouve à l'intérieur. Le maintien du dispositif peut être assuré par des pions de positionnements 4. Les dimensions mécaniques, en X-Y, maxima tolérables (sans déformation du support) sont d'environ 40 mm x 40 mm. La forme extérieure du dispositif peut être quelconque car il doit s'adapter à n'importe quel circuit ou "board" de test.

10 L'exemple de dispositif illustré à la figure 1 est un circuit imprimé classique à 2 couches, à savoir une membrane, réalisée de préférence en Kapton, marque déposée par Du Pont, ou éventuellement en verre époxy de type FR4 qui est moins souple que le Kapton, et dont l'épaisseur ne dépasse pas 0,1 millimètres, constituant le support du dispositif, revêtu sur ces deux faces opposées de deux couches de cuivre connectées entre elles à l'aide de tous métallisés (vias). Afin
15 d'avoir une meilleure qualité de contact entre les 2 circuits imprimés montés l'un sur l'autre, le dispositif mince possède des petites excroissances en forme de cônes tronqués (ou de boules, cylindres, etc.), sur une face ou bien sur les deux au choix selon le type de boîtier à tester.

La figure 2 représente une vue en coupe partielle de la membrane 21 pour montrer une excroissance en forme de cône tronqué 22 gravée sur la couche conductrice de la face supérieure
20 23a connectée à la couche conductrice de la face inférieure 23b à l'aide d'un via 24. De préférence, la hauteur d'une excroissance doit être supérieure à 45 µm (micromètres), et son diamètre qui dépend des dimensions des contacts du boîtier peut être par exemple inférieur ou égal à 125 micromètres. Des excroissances peuvent être présentes sur les deux faces de la membrane et peuvent avoir des hauteurs différentes. Ces excroissances peuvent être constituées d'une recharge
25 de cuivre, d'au moins 40 µm d'épaisseur par exemple, recouverte d'une couche de nickel, de 5 à 10 µm, par exemple, pour une meilleure résistance dans le temps, ainsi que d'une fine couche d'or d'environ 0.5 µm pour obtenir une bonne conductivité. Le support (membrane) peut être constitué en Kapton de 0.1 mm.

Lorsqu'un nouveau circuit intégré apparaît sur le marché, il est monté dans un type de
30 boîtier particulier à la demande d'un client ou en fonction de l'application pour laquelle le circuit est destiné. Ce circuit est testé après son encapsulation dans le boîtier grâce à des "board"s de test qui sont développés en fonction du boîtier choisi qui a ses propres caractéristiques. Ces "board"s sont donc dédiés spécifiquement à un type de boîtier spécifique et l'empreinte centrale de test est donc définitivement figée. Lorsqu'un client demande les mêmes circuits (mêmes cristaux) montés
35 dans des boîtiers différents en vue d'autres applications, il faudrait re-développer de nouveaux "board" de test en laboratoire et en production pour échantillonner le client avec ce nouveau boîtier. Cette opération est très coûteuse et peu parfois être très longue en temps de mise au point pour les circuits fonctionnant à hautes fréquences.

De façon avantageuse, l'invention permet d'éviter de re-développer un circuit de test pour chaque nouveau boîtier. En effet, il suffit de fabriquer un dispositif de test, qui est peu coûteux, pour chaque type de boîtier envisagé. Une face du dispositif comporte des pistes adaptées au nouveau boîtier tandis que les pistes de la face opposée sont adaptées au "board" de test déjà développé. Le dispositif de test décrit ci-dessus joue alors également le rôle d'un convertisseur de boîtier en réalisant l'adaptation du circuit de test à un nouveau boîtier. Les avantages sont nombreux :

- réduction de la force à exercer sur le boîtier à quelques Newtons pour obtenir un contact électrique suffisant,
- gain de temps et d'argent en évitant le développement de nouveaux "board"s de test,
- stabilité hardware grâce à une compatibilité totale avec le "board" existant (de laboratoire ou de test),
- gain de temps pour l'évaluation du circuit monté dans un nouveau boîtier,
- gain de temps pour le choix du meilleur boîtier en permettant d'évaluer plusieurs boîtiers (avec le même circuit à l'intérieur) sur une même et seule maquette de laboratoire,
- gain de temps pour lancer un nouveau produit sur le marché grâce à la possibilité d'échantillonner rapidement le client avec les nouveaux boîtiers.

L'invention permet ainsi d'améliorer les relations commerciales avec les clients potentiels en leur évitant une perte de temps et des coûts de développement supplémentaires lorsqu'ils décident de changer de type de boîtier. Pour cela, l'invention préconise la livraison conjointe d'un circuit intégré dans un boîtier donné parmi un set de boîtiers de types différents, dits circuit à tester, destiné à être testé à l'aide d'un "board" de test, dit circuit principal, et d'un set de dispositifs de test correspondant au set de boîtiers, adaptés audit circuit à tester en fonction de chaque type de boîtier considéré.

Les figures suivantes illustrent un mode de réalisation particulier de l'invention. Dans le cas de circuits radiofréquences de forte puissance (comme les amplificateurs de puissance pour téléphone portable cellulaire) le système global de contact (circuit principal + dispositif de test) doit présenter une résistance de quelques milliohms et une inductance inférieure à quelques dixièmes de nanoHenri pour les contacts (broches, etc.) et inférieure à quelques centièmes de nanoHenri pour la masse. Cela est nécessaire pour un fonctionnement correct en radio fréquence. L'aspect résistif est dû à la qualité du système de contact et l'aspect inductif aux dimensions de ce même système.

Le mode de réalisation illustré aux figure 3 à 6 est particulièrement adapté au test de circuit intégré radiofréquence (<2,4 GHz) dans un boîtier de type HVQFN16 (boîtier de 4 mm par 4 mm, 16 plages dits pads muni d'un "exposed die pad" central). Ce boîtier a des plages métalliques de 0.5 par 0.25 mm à la place des pattes ou broches de connexion. Il constitue avec le circuit

Imprimé qui le reçoit un système hyper statique puisqu'il y a au moins 17 points de contact à établir.

La figure 3 représente le détail d'un motif d'un dispositif de test selon le mode de réalisation mentionné. La membrane isolante souple 31 comporte des excroissances 32a et 32b

5 — disposées par paires sur les deux couches conductrices. Chaque élément de la paire est situé sur une couche opposée 33a et 33b de part et d'autre des moyens de connexion 34, de manière à opérer un basculement de la membrane élastique 31 lors de l'action de pression opérée durant le test pour maintenir le circuit à tester en contact avec le bord de test, via le dispositif de test jouant un rôle d'interface. On utilise la souplesse de cette membrane pour absorber les différences de planéité entre le boîtier et le circuit imprimé. Les motifs jouent le rôle de bascule lors de l'appui du boîtier. De plus, lors de ce basculement il se produit une friction entre les parties à contacter due aux excroissances ce qui améliore la qualité de la connexion.

La figure 4 représente une vue de dessus partielle (omission de la membrane) du détail du motif représenté à la figure 3. Les références de la figure 3 sont remplacées par de nouvelles 15 références, dans lesquelles uniquement le chiffre des dizaines a été remplacé par le chiffre 4. Les parties non visibles correspondant à la face inférieure sont représentées en pointillés. On voit apparaître les excroissances 42a et 42b sur chaque couche conductrice 43a et 43b, respectivement, ainsi qu'un via 44, représenté en grisé sur la figure, permettant de connecter les deux couches entre elles. Un motif est ainsi constitué de deux plages allongées gravées sur 20 lesdites couches opposées 43a et 43b, respectivement, décalées l'une par rapport à l'autre et connectées entre elles par les moyens de connexion, ici des trous métallisés 44.

La figure 5 montre le circuit imprimé de test, un motif du dispositif de test et le circuit imprimé à tester dans son boîtier. Le motif du dispositif de test représenté sur la figure 5 est identique à celui représenté à la figure 3 mais il est représenté en position de basculement. Les 25 références de la figure 3 sont remplacées par de nouvelles références, dans lesquelles seul le chiffre des dizaines a été modifié, entre la figure 3 et la figure 5, et a été remplacé par le chiffre 5, pour les références 51 à 54. La position de basculement est obtenue par la pression exercée pendant l'opération de test sur le circuit intégré à tester. Le dispositif de test est positionné entre le circuit principal ou "board" de test 55 revêtu de ces pistes conductrices 56 d'une part et le circuit 30 à tester dans son boîtier 57, d'où sont accessibles les contacts à tester sous forme de plage conductrice 58 d'autre part. Les excroissances de chaque couche conductrice opposée 52a et 52b, respectivement, sont en contact avec les plages conductrices correspondantes du circuit à tester 58 et du circuit principal 56, respectivement. Le boîtier qui vient s'appuyer sur ce motif va déformer la membrane pour faire basculer le motif par rapport à l'axe du trou métallisé de façon à 35 réaliser le contact en absorbant les différences de planéité.

La figure 6 représente une vue de dessus partielle d'un dispositif de test pour illustrer un exemple de motif complet 60 des excroissances. En traits pleins sont dessinés les motifs gravés sur la face avant du dispositif. Les motifs gravés sur la face arrière apparaissent en pointillés sur le

dessin. Les ouvertures ou vias réalisant les connexions entre les excroissances des faces supérieure et inférieure du dispositif sont représentées en grisé. Les excroissances sont représentées par des cercles comme sur la figure 4. Les motifs sont composés de plages de cuivre oblongues gravées de part et d'autre de la membrane et décalées l'une par rapport à l'autre. Ces deux plages sont connectées l'une à l'autre par un trou métallisé ou via. Une croissance de pilier de cuivre donnant lieu à une excroissance est réalisée aux endroits où l'on désire la connexion. Une couche de nickel d'épaisseur comprise entre 5 et 10 μm recouvre le cuivre pour augmenter la résistance mécanique. Une finition en or sur la couche de nickel de faible épaisseur ($<1 \mu\text{m}$) améliore la qualité du contact. Ce motif est répété 16 fois pour obtenir un contact sur toutes les broches du boîtier. La partie, appelée « exposed die pad », située au centre du boîtier est une plage métallique de 2 mm par 2 mm qui doit également être connectée. Il s'agit de la masse radiofréquence. Elle comprend un grand nombre de motifs pour réduire au minimum l'inductance du contact à cet endroit. Ce système est applicable à tous les boîtiers sans pattes avec des plages de contact coplanaire, notamment du type HVQFN et VSOFN.

REVENDEICATIONS

1. Dispositif de test pour tester un circuit intégré comportant une pluralité de contacts, dit circuit à tester, destiné à être testés à l'aide d'un circuit imprimé de test, dit circuit principal, le dispositif
comportant une membrane isolante en matériau souple munie de deux faces opposées recouvertes
de deux couches conductrices reliées entre elles par des moyens de connexion et destinées à
5 entrer en contact avec le circuit à tester et le circuit principal, respectivement, sous l'action d'une
force de pression exercée pendant le test entre le circuit à tester et le circuit principal déformant le
dispositif de test, des excroissances étant disposées sur au moins l'une desdites couches selon un
motif prédéfini en fonction desdits contacts du circuit à tester, de manière à assurer une qualité de
contact entre ladite couche et le circuit à tester ou le circuit principal en contact avec ladite
10 couche, sous l'action de ladite force de pression.
2. Dispositif selon la revendication 1, dans lequel lesdits moyens de connexion sont réalisés par
des ouvertures métallisées traversant ladite membrane et les deux couches.
- 15 3. Dispositif selon la revendication 1, dans lequel le dispositif a une épaisseur inférieure ou égale
à 0,4 millimètre.
4. Dispositif selon la revendication 1, dans lequel la membrane a une épaisseur inférieure ou
égale à 0,1 millimètre.
- 20 5. Dispositif selon la revendication 1, dans lequel les excroissances ont une hauteur supérieure ou
égale à 45 micromètres.
6. Dispositif selon la revendication 1, dans lequel les excroissances ont un diamètre en rapport
25 avec la surface desdits contacts.
7. Dispositif selon la revendication 1, dans lequel la membrane est réalisée en Kapton.
8. Dispositif de test selon la revendication 1, dans lequel les excroissances sont disposées par
30 paires sur chacune des deux couches, chaque élément de la paire étant situé sur une couche
opposée de part et d'autre des moyens de connexion, de manière à opérer un basculement de la
membrane souple sous l'action de ladite force de pression.
9. Méthode de test comportant la livraison d'un circuit intégré, dit circuit à tester, dans un boîtier
35 donné parmi un set de boîtiers de types différents, destiné à être testé à l'aide d'un circuit de test,

dit circuit principal, et d'un set de dispositifs de test selon la revendication 1 correspondant audit set de boîtiers, adaptés audit circuit à tester en fonction de chaque type de boîtier considéré.

- 5 10. Méthode de test selon la revendication 9, dans laquelle chaque dispositif de test comporte sur une première face, dite face standard, une couche conductrice standard adaptée au circuit principal et sur une deuxième face, dite face spécifique, une couche conductrice spécifique adaptée à un type de boîtier prédéfini.

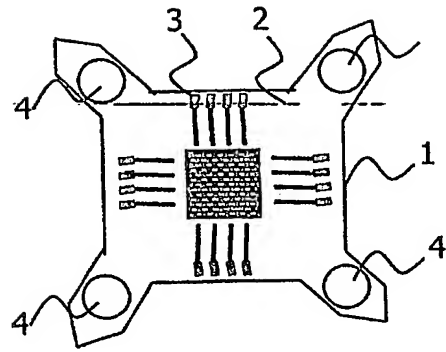


FIG. 1

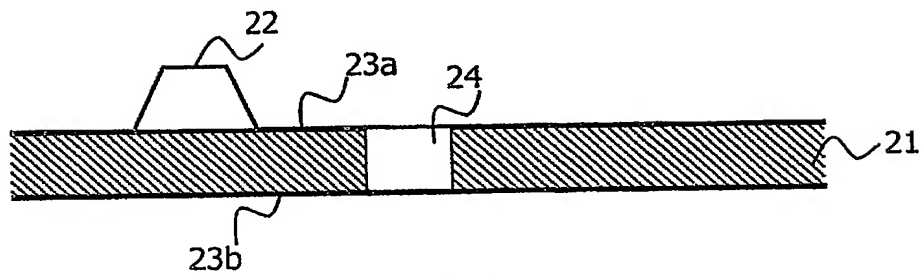


FIG. 2

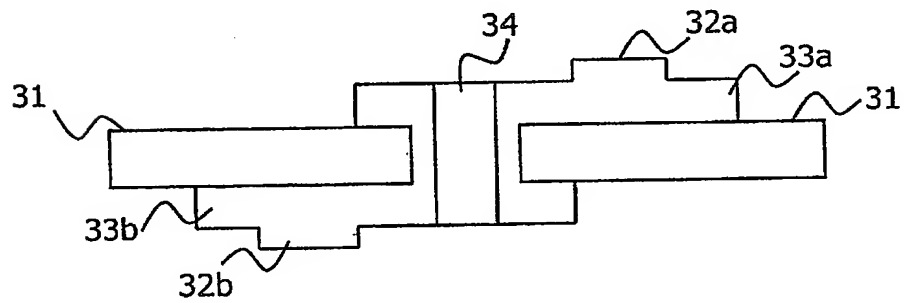


FIG. 3

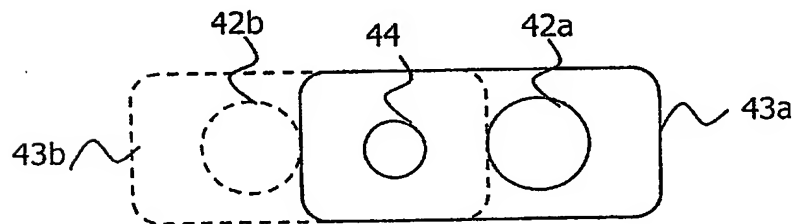


FIG. 4

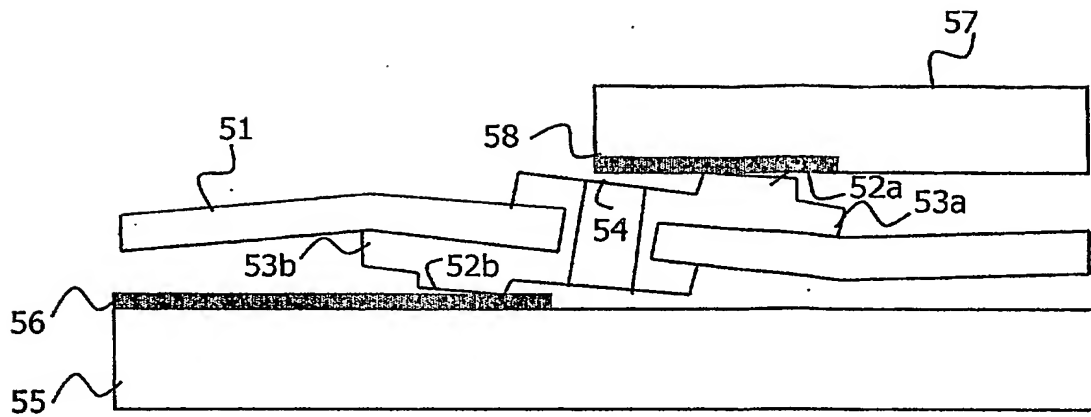


FIG. 5

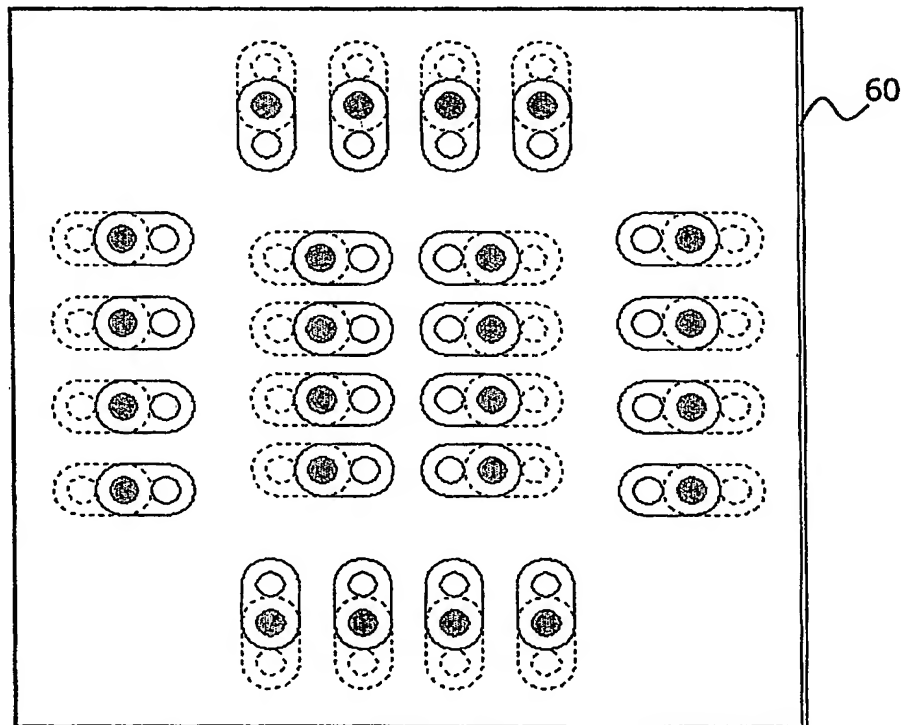


FIG. 6

reçu le 30/09/02



BREVET D'INVENTION

CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI



N° 11235*02

DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg

75800 Paris Cedex 08

Téléphone : 01 53 04 53 04 Télécopie : 01 42 93 59 30

DÉSIGNATION D'INVENTEUR(S) Page N° 1. / 1..

(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

08 113 V / 260899

Vos références pour ce dossier (facultatif)		PHFR020094	
N° D'ENREGISTREMENT NATIONAL		0211243	
TITRE DE L'INVENTION (200 caractères ou espaces maximum) Dispositif de test d'un circuit intégré comportant un PCB mince à excroissances.			
LE(S) DEMANDEUR(S) : Koninklijke Philips Electronics N.V.			
DESIGNE(NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite «Page N° 1/1» S'il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages).			
Nom		Jardin-Lemagnen	
Prénoms		Frédéric	
Adresse	Rue	156, Bd Haussmann	
	Code postal et ville	75008	PARIS
Société d'appartenance (facultatif)		Société Civile SPID	
Nom		Savin	
Prénoms		Emmanuel	
Adresse	Rue	156, Bd Haussmann	
	Code postal et ville	75008	PARIS
Société d'appartenance (facultatif)		Société Civile SPID	
Nom		Leriez	
Prénoms		Sébastien	
Adresse	Rue	156, Bd Haussmann	
	Code postal et ville	75008	PARIS
Société d'appartenance (facultatif)		Société Civile SPID	
DATE ET SIGNATURE(S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire) Paris, le 11 septembre 2002 Laure van Oudheusden Mandataire SPID : INPI 422-5 / S008			

La loi n°78-17 du 6 janvier 1978 relative à l'informatique, aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire.
Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.